

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Japanese Laid-Open Patent

Laid-open No. 55-050663
Laid-Open Date April 12, 1980
Application No. 53-124021
Filing Date October 7, 1978
Inventor Shumpei Yamazaki
7-21-21 Kitakarasuyama, Setagaya, Tokyo
Applicant Semiconductor Energy Laboratory Co., Ltd.

SPECIFICATION

Title of Invention

A semiconductor device and the manufacturing method thereof

What is claimed:

1. A semiconductor device wherein at least a part of the channel formation region of a insulated gate type field effect transistor is formed by non-single crystal semiconductor, and an inert gas such as hydrogen, helium, or neon, or a halogenide such as chlorine at a concentration of 0.1 mole% or more is added to said semiconductor.

2. The semiconductor device of claim 1 wherein a non-single crystal semiconductor layer is formed over the insulator formed on the substrate.

3. The production method of a semiconductor device wherein a semiconductor substrate, or a semiconductor device formed on a semiconductor substrate is held under the ambient of an inductively excited inert gas or halogenide such as chlorine kept at a pressure of 1×10^{-2} mmHg or more, and to perform induction curing.

Detailed Description of the present Invention

The present invention relates to a semiconductor device having non-single crystal semiconductor at least partially, and the manufacturing method thereof.

The present invention relates to an insulated gate type field effect transistor (hereinafter referred to as MIS-FET) wherein a non-single crystal semiconductor, such as amorphous or polycrystal, constitutes at least a part of the channel formation region under the gate insulator, and an inert gas such as hydrogen, helium, or neon, or a halogenide such as chlorine at a concentration of 0.1 mole% or more is added. The object of the present invention is to neutralize and eliminate the recombination centers of dangling bonds reside in the non-crystal semiconductor region, by foregoing method.

It is also purposed to set the mobility of electrons and holes to the same level of, or almost the same level as that of single crystal semiconductors.

The present invention aims to be able to form the second MIS-FET on or on the upper layer of; a semiconductor substrate which has a MIS-FET, a capacitor, and a resistor or a diode formed on it, a substrate which has an insulator formed on it, or a substrate which has the first MIS-FET formed on it.

The present invention relates to a semiconductor manufacturing method wherein an inert gas such as hydrogen(including deuterium), helium, or neon, or a halogenide such as chlorine kept in the ambient air at a pressure of 10^{-2} mmHg or more, and the ambient gas thereof is activated by high-frequency or micro-wave energy to be add to a non-single crystal semiconductor device having P or N conductivity type and a impurity at a concentration of $2 \times 10^{19}\text{cm}^{-3}$ or less, for example, 10^{14} to 10^{17}cm^{-3} .

The semiconductor device manufacturing known heretofore merely composes and integrates MIS-FET or bipolar transistors, capacitors, resistors and diodes onto a single crystal semiconductor substrate.

Therefore, an active element as a MIS-FET or a transistor, is always formed on a single crystal substrate. Especially, for the channel region of a MIS-FET, and the base and the collector

of a bipolar transistor, single crystal semiconductors with sufficiently small concentration of recombination centers for carriers, electrons and holes, are used, since the lifetime of the carriers delicately affects said regions. Also, lattice defects or other lattice incommensurability and recombination centers by dangling bonds are the main factors of the soft breakdown or leak increase in reverse breakdown voltage at a PN junction.

The semiconductor device of the present invention was realized by enabling a reduction of the concentration of the recombination centers not in a single crystal semiconductor, but in a non-single crystal semiconductor (polycrystal or amorphous) to a small enough level.

In general, to form a semiconductor device, various ranges of temperatures are required. For example, in manufacturing a silicon semiconductor, impurity diffusion process at 900 to 1200 °C, aluminum contact alloy process at 400 to 550 °C, and thin film formation process by gas phase method (low-pressure CVD) for silicon oxide, silicon nitride and silicon at 350 to 900 °C are required. The present invention is characterized as a method adopting a process wherein an inert gas such as hydrogen, helium or neon, or a halogenide such as chlorine, in a chemically activated state, or an atomic state, is applied to a finished or partially finished substrate which has gone through all, or a part of the foregoing processes. In the present invention, such doping process is also called in a generic term, "induction curing". The advantage of the present invention resides in the fact that it electrically neutralizes a semiconductor, especially a non-single crystal semiconductor by the processes; applying high-frequency energy or micro-wave energy to inductively excite hydrogen elements (including deuterium) to make them chemically active, and leaving a semiconductor for 5 minutes to 2 hours in that atmosphere at a pressure of 10^{-2} mmHg or more, so that the

hydrogen elements are linked with the dangling bonds in the semiconductor, and also assist in making covalent bonds.

The following is the explanation of the present invention in accordance with its embodiment.

Fig. 1 is a cross-section of a MIS type field effect semiconductor.

The present invention was realized by the processes; forming a thin film of silicon oxide or silicon nitride in a thickness of 200\AA to 200μ , and implanting oxygen or nitrogen ions to the silicon substrate (1) surface by ion implantation at 150 to 300KeV. Said substrate is annealed for 10 to 30 minutes at 900 to 1100°C under a low-pressure or hydrogen atmosphere. Over this substrate, a silicon film is formed through low-pressure gas phase method in which silane(SiH_4), dichlorosilane(SiH_2Cl_2), and other silicide are made into a reaction gas at a pressure of 0.1 to 10TORR(mmHg) and at a temperature of 500 to 900°C . For a heating source, RF induction of 1 to 10MHz is used, however, it can be substituted by resistance heating. This semiconductor film formation by low-pressure gas phase method was performed in accordance with Japanese patent pub. No. 51-1389. Of course it can be substituted by glow discharge method at a temperature of room to 500°C , or sputtering method.

By aforementioned processes, a silicon semiconductor film is formed in a thickness of 0.1 to 2μ . This film surface is a polycrystal when the insulating layer (2) is pure SiO_2 or SiN_4 , though it has an epitaxial structure partially containing non-single crystal when the volume of oxygen or nitrogen contained in the insulating layer is at 10^{18} to 10^{21}cm^{-3} . However, the semiconductor film formed in this embodiment indicated a substantial epitaxial structure. It is very important to try reducing recombination centers to make the semiconductor as close to a complete crystal as possible.

The object of the present invention is to eliminate the recombination centers from a semiconductor film which holds a large concentration of recombination centers by inductive electric energy.

A field insulator (3) is formed in a thickness of 1 to 2μ in accordance with Japanese patents (pub. No.52-20312 and No.50-37500) invented by the present inventor. After this process, a 100 to 1000Å thick gate insulating film (12), and if necessary, a contact (7) of the silicon semiconductor, then a gate electrode (11) by self-align method and a semiconductor film by low-pressure CVD method are formed respectively.

In addition, an overcoat (10) of SiO_2 film in a thickness of 0.5 to 2μ is formed. To make the surface of this film flat, PIQ etc. can be also used instead of SiO_2 film. A hole (8) for aluminum electrode is made, and an aluminum electrode and a lead (8) are formed. When the channel formation region (4) is a P-type, phosphorus and arsenic impurities are used in formation of a source (5) and a drain (6) to make them N^+ -type of 10^{18} to 10^{21}cm^{-3} . For the gate electrode material, a metal such as molybdate or tungsten can be also used. Also, phosphorus impurity at a concentration of 10^{19}cm^{-3} or more can be added to make it a low-resistance semiconductor lead. When this impurity concentration was at 10^{19}cm^{-3} or more, especially at 10^{21}cm^{-3} , the neutralization effect by the electric energy was not observed. On the other hand, the concentration of impurity in the channel formation region was as low as 10^{14} to 10^{17}cm^{-3} , and was very sensitive.

It was widely known that carriers, electrons and holes, in a single crystal usually have structure-sensitivity. However, the present invention discovered that the structure-sensitivity is resulted by not the crystal structure, but the reaction of the recombination centers reside in it. The present invention aimed to neutralize and eliminate these recombination centers which

gives this sensitivity to carriers. To realize that, the present invention adopted a process adding 0.1 mole%, typically 5 to 20 mole%, of hydrogen or helium. When hydrogen was added to the completed fig.1 (A) device, the lifetime of the carriers increased by 10^3 to 10^5 times. A C-V diode indicated the order of $Q_{ss} \sim 10^{10} \text{cm}^{-2}$ which is almost the same C-V characteristic as the theory. The following is the method used for chemical excitation of an inert gas such as hydrogen or helium, or a halogenide such as chlorine. The apparatus is arranged in the way as such; a lateral type quartz tube having diameter of 5 to 20cm, typically 15 cm and length of 2m surrounded by RF induction furnaces, and a copper pipe coiled over them for water cooling purpose. The frequency used was 1 to 20MHz. An resistance heating furnace was placed the outside, and a heating element was arranged as to face vertically to the electromagnetic wave from the induction furnaces. The RF furnaces of 30 to 100KW were used. 5 to 55 pieces of the fig.1 (A) substrates, for example, silicon substrates(diameter of 10cm) standing on a port were loaded into the reaction tube. The ambient pressure was reduced down to 10^{-3}mmHg . Hydrogen was applied into the tube, then the pressure was brought back up to the normal level. The tube was vacuumed once again to 10^{-2} to 10^{-3}mmHg , then set at 10^{-1} to 10mmHg . While a reaction element, hydrogen or helium was being applied continuously from one end, the tube was being vacuumed continuously from the other end by a rotary pump etc.

After heating the substrates to 300 to 500°C by the resistance heating furnace, voltage excitation was applied to the induction furnaces to perform doping. When current excitation was performed, it was found to be unfavorable by an observation that it heated only the metal walls or metallic parts of the substrates. Therefore, voltage excitation was adopted for activating the reaction gas. Moreover, when the temperature is 300°C or more, hydrogen atoms or helium atoms can move freely in a solid body

as they are interstitial atoms. Therefore, the atoms could be doped to the concentration of a sufficiently equilibrium state.

After the doping, the ambient temperature was reduced down to the room temperature. In the meantime, the excitation of the reaction gas was continuously being performed. More precisely, heating + excitation were performed for 5 to 60 minutes, typically for 30 minutes, then excitation at the room temperature was performed for 5 to 60 minutes, typically for 15 minutes. When materials that are easy to melt or easy to be alloyed at a relatively low temperature such as aluminum, are used, the maximum heating temperature is set at 500°C. A higher heating temperature (600 to 1000°C) may be used when such materials are not used. However it is important to acknowledge that hydrogen and helium atoms etc. are easy to be desorbed from the atoms in a semiconductor, and freed as H₂ or H₃ in a temperature from 300 to 500°C. Therefore, in conducting induction curing at high temperature, it is necessary to continue applying electric energy even after the temperature is reduced to the room temperature. Moreover, the pressure inside the reaction tube is preferred to be as high as glow discharge, RF induction excitation, and induction curing processes allows.

Therefore, the present invention adopted the pressure at 0.01mmHg or more, typically 0.1 to 100mmHg for doping more than 0.1 mole%, even though the effectiveness of the present invention has been observed in an experiment under a pressure of 10⁶ to 10⁻⁵mmHg. Of course RF induction can be done in a room temperature. At 0.001mmHg or less, it indicated an effectiveness in neutralizing the recombination centers of a low concentration in a single crystal. However, it experimentally required more than one hour of curing.

The frequency shall be microwaves. Especially a frequency between 50 to 1000MHz was found to be greatly effective and favorable even under an atmospheric pressure. In this case, use

of a waveguide as a reaction tube is preferable. Since the size of the waveguide is determined when TEM mode is made, it is better to perform the process by radiating microwaves into the curing oven like it is done in a microwave oven. The pressure in the reaction tube can be increased or decreased during induction curing. At a high temperature, a large amount of additives can be doped into a semiconductor because the equilibrium state between the gas and solid of the semiconductor is large. Therefore, an rapid cool-down while performing induction curing was more effective compare to a gradual cooling. For example, rapid cooling of 900°C substrates down to a room temperature allows the concentration of dopants to be 3 to 10 times of the concentration obtained by a gradual cooling. The reaction gas can be hydrogen only, or helium only. However, it is more preferable to perform an excitation initially by helium and later by hydrogen. Because hydrogen has a characteristic to be tied with dangling bonds, on the other hand, helium has a characteristic to promote unstable dangling bonds to connect each other. Neon in an excited state had a semi-stability 10 to 10⁴ times of that of helium, and enabled to obtain a large curing effect. More precisely, curing with helium was performed for 5 to 15 minutes at 0.1 to 100mmHg, typically at 10mmHg, then curing with hydrogen was performed for 5 to 15 minutes at 0.01 to 10mmHg, typically at 0.1mmHg. Practically, 100% hydrogen or hydrogen mixed with 5 to 30% of helium or neon was used as the excitation gas.

The embodiment of the present invention was applied to devices such as fig.1 semiconductor device. The volume of said excitation gas was determined by Auger spectroscopy or gas chromatography wherein the excitation gas is doped to a semiconductor, the semiconductor is heated under vacuum to let it release the gas, and the volume of the gas is measured. It was found that the excitation gas was applied 0.1 mole%, typically 1 to 20 mole%. Of course it is more favorable to add 20 mole% or more,

30 to 200 mole% or more, and 30 to 200 mole%. However, a tendency of saturation was observed in general.

Needless to say that the present invention method can be applied not only to non-single crystal semiconductors, but also to single crystal semiconductors. However, the effectiveness of the method was more obvious in non-single crystal semiconductors. In the following embodiment of the present invention, the same induction curing method was used.

Fig.1 (B) is an embodiment of SOS(Silicon-On-Sapphire). The figure shows a 0.02 to 2μ thick semiconductor formed by epitaxial growth on an alumina, sapphire or spinel substrate, a field insulator (3) where a source (5) and a drain (6) are buried, a semiconductor direct contact (7), a self-align gate electrode (12), and a CVD SiO_2 film (10). In this case, the alumina component of the substrate and semiconductor (9) are connected, and the region indicates non-single crystal state. Due to this, the formations of the source and the drain were abnormally diffused. Therefore, even if the semiconductor film of 0.01 to 0.3μ could be obtained, the device was not practically usable. However, if the excitation process is performed on a finished or an almost finished semiconductor device, the recombination centers of the incomplete layer (9) is reduced down to 1/100 to 1/10000 of the concentration before the process, and the device can be handled as a single crystal.

This excitation process is greatly effective in neutralizing the interface state between a semiconductor substrate and a gate insulating film, or dangling bonds in a gate insulator, therefore, is very preferable method to improve MIS-FET manufacturing.

Fig.2 is an embodiment of the present invention.

The method of Fig.2 attempts to manufacture a highly concentrated integrated circuit (LSI, VLSI) having a concentration of 2 to 4 times of that of conventional devices by providing the

second MIS-FET on, or on an upper layer of, the first MIS-FET.

The following is the explanation in accordance with the figure.

In fig.2 (A), the insulating film (2) such as silicon oxide in a thickness of 0.1 to 2μ is formed on the semiconductor substrate (1).

In this case, the substrate does not necessarily be a semiconductor. If it satisfies the conditions on the thermal conductivity and processing etc. in a practical thermal processes, it can be an insulator. In this experiment, polycrystal silicon is used. The insulating film (7) is formed by oxidation of the substrate (1).

Over said surface, a semiconductor silicon film is formed in a thickness of 0.1 to 2μ by low-pressure CVD method. The field insulator (3) is formed in this P-type semiconductor layer which has an impurity concentration of 10^{18} to 10^{16}cm^{-3} , by selective oxidation using double masks of silicon nitride and silicon oxide. Etching of said field insulator to approximately the same level as the semiconductor layer surface, and removing of a part of the semiconductor layer before silicidation, are also acceptable.

The gate insulating film (12) is formed in a thickness of 100 to 1000\AA on the surface. This gate insulating film can be a thermally oxidized film formed by oxidation of the semiconductor layer, a film having double layered structure with oxide, phosphine glass, alumina and silicon nitride, or a non-volatile memory forming clusters or films by semiconductors or metals. After this, the second semiconductor layer in a thickness of 0.1 to 2μ is formed on the surface, and removed selectively. In this figure, a part of said layer is forming the gate electrode (11), and the other part is forming the source (25), the drain (24) and the channel region of the second MIS-FET. The source (5) and the drain (6) of the first MIS-FET are formed by ion

implantation utilizing the gate electrode (11) as a mask. Of course thermal diffusion can be used instead. As the figure indicates, the gate electrode (11) is connected to the source (15) of the second MIS-FET via field insulator (3) which is not indicated in the figure.

After forming the third semiconductor layer (21), the source and the drain of the second MIS-FET are formed by ion implantation or thermal diffusion utilizing the gate electrode (21) and the gate insulator (22). The figure indicates the second MIS-FET provided in the diagonally upper position from where the first MIS-FET is provided. However, the arrangement, the sizes, and the wiring of MIS-FET can be determined by the designer's own preference. As the figure (B) indicates, a resistor and a capacitor can be formed at the same time, on the same substrate, and also a diode such as a protection diode can be formed.

The fig.2 (B) shows a P-channel or a 4-channel MIS-FET comprising; the field insulator (3) in a thickness of 0.5 to 2μ formed by selective oxidation on the single crystal semiconductor substrate (1), the gate electrodes (11) (11'), the source (4), the drain (31), and the drain (5) doped with phosphorus or boron at a concentration of 10^{19} to 10^{21}cm^{-3} . It is an example of an inverter wherein the impurity region (31) is utilized as the drain of one MIS-FET, and also as the source of another MIS-FET. The insulating film (10) for overcoating purpose is formed at a thickness of 0.5 to 2μ . When this surface is flat, precision processing can be applied to the third MIS-FET which is to be formed on this surface. Over said surface, a non-single crystal semiconductor layer is formed in a thickness of 0.2 to 2μ . The impurity concentration of this layer shall be at 10^{14} to 10^{16}cm^{-3} to make it a P-type, and the channel region (29) is required to work sufficiently as a channel during operation. The non-single crystal resistor (37) is connected to the source of the third MIS-FET and to the lead (38) by photo masking. The drain (27)

is connected to the electrode (34) under the capacitor. The gate insulating film on this surface is an insulator to the capacitor, and at the same time, a gate insulator of the third MIS-FET. On this film, the gate electrode (21) and the upper electrode (36) of the capacitor are formed. In this experiment, aluminum is used as the material for this formation.

The substrate electrode of the third MIS-FET is connected to the gate electrode of the first MIS-FET so that substrate bias is applied, and the gate electrode (11) is substantially able to control the channel states of the both MIS-FET. If a gate insulator is formed between the channel region (29) and the gate electrode (11), of course the third MIS-FET has to have a double gate structure having gate electrodes at the above and the below. Of course, the upper gate electrode can be removed. That is, a distinctive characteristic of the present invention is to control two MIS-FET by a single gate electrode, and one MIS-FET by two gate electrodes. Moreover, not only a lead, but an active element like MIS-FET, or a resistor, a capacitor and a diode can be provided on a single substrate. In addition, if these elements are integrated, the density of the elements can achieve 2 to 10 times of the elements formation of the device indicated in fig.1. The present invention method would not be possible without the "induction curing" which is, not only able to eliminate recombination centers in a single crystal semiconductor, but also able to offset or neutralize the interface state residues in a polycrystal or amorphous semiconductor, an insulator, or an interface between a semiconductor and an insulator by an inert gas or hydrogen as explained by fig.1 (A) and (B).

As in aforementioned explanation, forming silicon nitride overcoating films on the semiconductor devices of fig.1 and fig.2 by plasma method after the curing process is preferred. It is because the silicon nitride overcoating film confines the

hydrogen or helium atoms doped into the semiconductor device, and prevents them from getting out by its masking effect against those atoms. Therefore, along with sodium contamination prevention effect, it is greatly effective in improving the reliability.

In the embodiments of the present invention mentioned here, silicon semiconductors are mainly referred to. However, the same result can be obtained in germanium semiconductors and also compound semiconductors as GaP, GaAs, GaAlAs, SiC and BP.

In addition, the present invention is effective, not only in MIS-FET, but also in all semiconductor devices such as bipolar transistors or its integrated devices such as IIL, SIT and LSI ICs.

Brief Description of Figures

Fig.1 shows cross-sections of an embodiment of the present invention.

Fig.2 shows cross-sections of an embodiment of the present invention.

●特許出願公開

⑫ 公開特許公報(A)

昭55-50663

識別記号

H'01 L' 29/78

27/06

厅内整理番号

6603-5 F

6426-5 F

7514-5 F

③公開 昭和55年(1980)4月12日

発明の数 2

審查請求，有

(全 7 頁)

④半導体装置およびその作製方法

特 願 昭53-124021

出 願 昭53(1978)10月7日

山崎舜平

東京都世田谷区北烏山7丁目21

番21号

⑦出願人 山崎舜平

東京都世田谷区北烏山7丁目21

番21号

製作方法。

1. 見明の名称

半導体装置およびその作製方法

2. 條件要求の範圍

絶縁ゲート型電界効果トランジスタのチヤ

本館の少くとも一部が非単結晶半導体と

りなり、該學部休学中に以て、一々の△○上

うな不活性ガスまたは塩素のようなヘロゲン

化物が 1 モルパーセント以上の濃度に入入

「まこと」を特長とする半導体装置。

、 玉置の上等の産物上には、伊半銀品半兩

佐竹殿はられたことを特選とする特許請求の

● 現況の半導体装置。

● 労働条件を改善するは労働者の義務に設けられ

中華民國二十九年九月九日

大正十一年四月二十一日

のようを不慮に力を入れたら、
はたして、このように、以上の圧力

[illegible][illegible]

中 國 人 民 大 學 學 報
 第 一 卷 第 一 期
 一 九 五 四 年 一 月

ニシテせしめ ともて特設するも、

01

1 発明の概要を説明

本発明は、非晶結晶半導体を半導体装置の少くとも一部に有する 半導体装置およびその作製方法に関する。

本発明は、絶縁ゲイト型電界効果トランジスタ（以下、MIS-FETという）のゲイト絶縁物下のチャネル領域の少くとも一部が、アモルファスまたは多結晶のいわゆる非晶結晶半導体より成り、かつこの半導体中には水素、ヘリウムのような不活性気体または塩素のようなハロゲン化合物を1モルパーセント以上混入せしめることに關する。そしてこの非晶結晶領域で不対称組合手等による再結合中心を中和かつ消滅せしめることを目的としている。

その結果、電子またはホールの移動度をこれまで知られている単結晶の場合に等しくまたは幾何等しくさせることを目的としている。

本発明はかかるMIS-FET、さらにキャパシタ、抵抗またはダイオードが半導体基板上、上面が絶縁物より成る基板上、さらにまたは第

(3)

1 OMIS-FETが基板上に設けられたその上または上面に第2 OMIS-FETとして設けられることを目的としている。

本発明は、PまたはN型の導電型を有し、かつその不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下、特に例えば $10^{14} \sim 10^{17} \text{ cm}^{-3}$ に於ける非晶結晶半導体に対し、その半導体の形成と同時にまたは形成後、特に半導体装置を完成してしまつた後、水素（重水素を含む）、ヘリウムのような不活性ガスまたは塩素のようなハロゲン化合物を 10^{-2} mmHg 以上の圧力にした雰囲気中に保存し、かかる雰囲気ガスを高周波エネルギーまたはマイクロ波エネルギーにより活性化させて半導体装置中に添加させる半導体装置作製方法に關する。

従来半導体装置は単結晶の半導体基板上にMIS-FETまたはバイポーラ型のトランジスタ、さらにまたはそれらをキャパシタ、抵抗、ダイオード等を同一基板上に複合化して集積化した装置を製造するにとどまっていた。

このため、アクティブエレメントであるMIS

(4)

-FETまたはトランジスタは必ず単結晶基板上に設けられていた。特にMIS-FETにおいてはゲイト以下のチャネル領域、またバイポーラ、トランジスタにおいてはベース、コレクタはキャリアのライフタイムが微妙に影響を受けるため、その領域はキャリアである電子またはホールに対する再結合中心が十分小さい程度の単結晶半導体を用いられていた。さらにPN接合においても逆方向耐圧に於いてソフト・ブレイクダウンまたはリーク増大は格子欠陥その他の格子不整、不対称組合手による再結合中心がそれらの悪化の要因であつた。

本発明はこれらの根本原因である再結合中心の密度を単結晶でない非晶結晶（多結晶またはアモルファス）に於いても十分小さくすることを可能とし、その結果初めて完成したものである。

一般に半導体装置を形成するにあつては、種々の温度に於ける熱処理を必要とする。例えばシリコン半導体においては $900 \sim 1200^\circ \text{C}$ で

の不純物の拡散、 $400 \sim 550^\circ \text{C}$ に於けるアモルファムのコンタクトのアニール、 $350 \sim 700^\circ \text{C}$ に於ける酸化還元、窒化還元、シリコンの気相法（減圧CVD）による薄膜作製である。本発明はこれらのすべてまたは大部分の熱処理工程を経た装置として完成または大部分が完成した半導体装置に対し、水素、ヘリウムのような不活性気体、塩素のようなハロゲン化合物を化学的に活性化または原子状態で添加することを特徴とする。本発明ではかかる添加作用を駆動して誘導キュリング（induction curing）ともいう。特に水素（重水素も含む）を高周波エネルギーまたはマイクロ波エネルギーにより誘導励起し化学的に活性化し、その雰囲気中に 10^{-2} mmHg 以上の圧力の雰囲気中に半導体装置を5分～2時間さらすことにより、この活性化状態の元素が半導体中に非晶結晶半導体中の不対称組合手と結合し、さらにまたは不対称組合手同士を互いに共有結合せしめ電気的に中和することを特徴としている。

(5)

(6)

以下にその実施例に従つて本発明を説明する。
第1図はMIS型電界効果半導体の断面図である。

この発明は、シリコン半導体基板(1)上に200Å~2μの厚さの酸化膜または窒化膜の層を形成して、これに半導体基板表面より150~300KeVのイオン注入法により膜または膜を打ち込むことにより成膜した。これを真空状態または水素雰囲気中で700~1100℃で10~30分アニールを行なつた。さらにその上に減圧気相法によりシリコン膜を形成した。これはシラン(SiH₄)、ジシロラン(SiH₂Cl₂)その他の硅化合物を反応性気体として0.1~10TORR(mmHg)の圧力状態にした上、500~900℃の温度で行なういわゆる減圧気相法によつた。発熱は1~10MHzの高周波誘導を用いた。しかし抵抗加熱でもよい。この減圧気相法による半導体膜の形成は特公明51-1389に基づいた。もちろん室温~500℃の温度でグロー放電法またはスパッタ法を利用してよい。

(7)

半導体膜を作つた。

加えてSiO₂膜のオーバーコート(10)を0.5~2μの厚さに形成した。この時この上面を平滑面とするためSiO₂膜のかわりにPIQ等を用いてもよい。アルミニウムの電極の穴あけ(8)、さらにアルミニウムの電極、リード(9)を形成した。ソース(5)、ドレイン(6)はチャネル形成領域(4)がP型である場合は10¹⁸~10²⁰cm⁻³のN⁺型の不純物例えばリン、ヒ素により形成した。ゲイト電極をセリブゲン、タンタム等の金属で行なつてもよい。また10¹⁸cm⁻³以上の濃度でリン等を導入して、低抵抗の半導体リードとしてもよい。この不純物が10¹⁸cm⁻³以上、特に10²⁰cm⁻³と多量に導入している場合は、本発明の電場エネルギーによる中和の効果はみられなかつた。他方チャネル領域は不純物濃度が10¹⁴~10¹⁷cm⁻³の低濃度であり、極めて敏感である。

電子またはホールのキャリアは半導体では一般に高感度をもつことが知られていた。しかし本発明はかかる高感度特性が製品製造に

(8)

よつてこの上面に0.1~2μの厚さのシリコン半導体膜を形成した。この膜は絶縁層(2)が同様のSiO₂またはSi₃N₄にあつては多量であるが、この膜または膜の量が10¹⁴~10¹⁷cm⁻³である場合には半導体膜の一部を含むエピタキシャル構造でもつた。しかし本実施例においては、実質的にエピタキシャル構造となつていた。しかし再結合中心より少しくしより完全結晶と同等の半導体とすることはきわめて重要である。

本発明はかかる再結合中心の密度の多い半導体膜の再結合中心を誘導電場エネルギーにより除去することを目的としている。

フィールド絶縁層(3)を1~2μの厚さに、本発明の発明による特許(特公明52-20312、特公明50-37500)に基づき実施した。この後、ゲイト絶縁層(12)を100~1000Åの厚さに作り、また必要に応じてシリコン半導体のコンタクト(7)を形成し、その上にセルフアライン方式によりゲイト電極(11)を、減圧CVD法により

(9)

図示するのではなく、その中に存在する再結合中心の反応に起因するものであることを発見した。本発明はその結果この感度性を与える再結合中心を中和消滅させようとしたものである。このため、本発明においては、ここに水素またはヘリウムを0.1モルパーセントから5~20モルパーセント添加した。その結果、第1図(W)の膜が出来上つた後、水素の添加によりキャリアのライフタイムが10³~10⁴倍になつた。C-VダイオードによつてもQ_{ss}=10¹⁴cm⁻³のオーダーの低濃度過渡のC-V特性を示していた。水素、ヘリウムのような不活性ガス、塩素のようなハロゲン化合物の化学的効果は以下の方法によつた。すなわち装置の直径5~20cmの石英管(長さ2m)の石英管に対しその外側に高周波誘導炉をリング状に水冷を可能にした銅管をスパイラル状に巻くことにより実施した。周波数は1~20MHzとした。さらにこの外側に抵抗加熱炉をこの誘導炉の電極部に対し直列に巻くように発熱体を配置して行なつた。高周波炉

(10)

は30~100KVの電圧を用いた。この反応の
中に第1図Wの半導体装置を形成した装置例は
シリコン基板（厚さ10mm）を5~50枚ポ
ートに林立させる形でそうてんした。さらにこ
れを 10^{-1} mmHgの圧力にまで減圧した。その後本装
置を導入し、常圧付近にまで戻した。さらに今
一度 10^{-1} ~ 10^{-3} mmHgにまで真空にし、その後
 10^{-1} ~ 10^{-3} mmHgとした。反応はたとえば一方より
水素、ヘリウムを導入し他方よりロータリー
ポンプ等により真空引きを逐段的に行なつた。

添加は逐次加熱炉により基板を300~500℃
に加熱し、その後半導体炉を電圧調整させた。
電圧調整をさせる場合は、基板での金属膜また
は金属質の部分のみが局部的に加熱されてしま
い、好ましくなかつた。このため、反応炉自体
の活性化は電圧調整とした。さらに温度が300
℃以上であると水素原子、ヘリウム原子は自由
にこの固体中に侵入原子（インタースタリス）
（アトム）のため動きまわることができ、
このため十分な平衡状態の温度にまでこれらの

03

パーセントまたはそれ以上とするため0.01mmHg
以上特に0.1~10.0mmHgとした。もちろん真空中
の高周波誘導を行なつてもよい。0.001mmHg以
下においては半導体中に存在する低い密度の再
結晶中心を中和する効果があつた。しかしその
場合実験的には約1時間以上のキャーリングを
必要とした。

この周波数はマイクログラムでもつてもよい。特
に周波数が50~1000MHzであつた場合は反応
管内の圧力が常圧であつてもその効果は著しく
あり、好ましかつた。その場合、反応管は導電
管とすると好ましい。TEMカードを作る時、導
電管の大きさは必然的に決められてしまうため、
電子レンジのようにマイクログラムをキャーリン
グ用オーブン内に密着して実施すると好ましい。
誘導キャーリングを行なっている間反応管の圧
力を昇圧または降圧してもよい。高温では外気
と半導体中の気相-固相での平衡状態が大きく、
半導体中に多量に添加物を添加できる。このた
め高温にした状態で誘導キャーリングをしつつ

原子を固体中に添加できた。

この後この温度を室温にまで下げた。この間
も反応炉自体の温度を控えていた。即ち、加熱
と冷却を5~60分間に30分間、その後真
空中の冷却を5~60分間に15分間なつた。
加熱温度はアルミニウム等の比較的低い温度
で合金化または溶解する材料がある場合は、
500℃が上限であつたがそれ以外の場合はそ
れ以上の温度（600~1000℃）でもつてもよ
い。しかしひとつの大切なことは水素、ヘリウ
ム等は300~500℃の温度で半導体中の原子と
の結合をはがれ H_2 または He として外に遊離され
やすい。このため、高温にかけると誘導キャー
リングを行なう場合の温度を室温にまで下げて
も誘導キャーリングのための電気エネルギーを加
え続ける必要がある。さらに反応容器内の圧力は
グロー放電その他の高周波誘導加熱または誘導
キャーリングが可能を範囲で高い方が好ましい。

そのため本発明の効果は 10^{-1} ~ 10^{-3} mmHgで
効果が顕著されたが、添加量を0.1セルまで

04

進行することは後述に比べて効果が大きかつた。
例えば900℃より高温に加熱すると後述に比べ
て5~10倍の速度に添加できた。反応性気体
は水素のみまたはヘリウムのみでもよい。しか
し水素は不対結合手と結合するがヘリウムは中
途半端な不対結合手をたいて互いの結合を促
進するため、実際には最初ヘリウムで誘導し、
その後水素で行なうのが好ましい。即ち、 He

でのキャーリングを5~15分、0.1~10.0mmHg
特に1.0mmHgで行ない、その後3~15分0.01
~10mmHg特に0.1mmHgで水素中でキャーリン
グを行なつた。また、実験的には水素100%
または水素中に5~50%ヘリウムを導入させ
て誘導ガスとした。

本発明方法を第1図のような半導体装置に実
施したが、かかる誘導ガスの添加量の決定は半
導体にかかる気体を導入しその基板を真空中で
加熱し、かかる気体を放出させてその量を定置
化するいわゆるガスフローメータまたはオージェ
の分圧値により定置化した。その場合誘導ガス

05

は81セルパーセントから1~20セルパーセント増加されていることが判明した。もちろん20セルパーセント以上30~200セルパーセント以上30~200セルパーセントを加えることはさらに好ましい。しかし一般には飽和傾向がみられた。

本発明方法は非単結晶のみではなく、単結晶の半導体に対しても同様に適用できることはいうまでもない。しかし特に非単結晶半導体の方がその効果は顕著であつた。以下の本発明の実施例にかいてもこれまでに記載したと同様の方法によつて露導キレーリングを行なつた。

第1図はSOS（シリコン-オン-サブストラット）の実施例である。アルミナ、アフライト、スピネル等の基板(1)上の半導体を0.2~2μの厚さにエピタキシャル成長せしめ、さらにソース(5)、ドレイン(4)に接続したフィールド絶縁物(3)、半導体ダイレクトコンタクト(7)、セルフアライニングゲイト電極(31)ゲイト絶縁膜(12)、CVD SiO₂膜(10)の実施例である。この場合、基板のアルミナ成分と半導体とが(7)の部分で接合し、非単結晶状態を呈してしまふ。このため、

68

る。

以下に図面に従つて説明する。

第2図は半導体基板(1)上に酸化珪素のような絶縁膜(2)を0.1~2μの厚さで形成した。この場合基板は半導体である必要は必ずしもない。その後の熱処理実用上の熱保護、加工等の条件を満たせば絶縁物であつてもよい。ここでは多結晶シリコンを用いた。絶縁膜(7)は基板(1)を酸化して形成した。

さらにこの上面に減圧CVD法を用いて多結晶シリコン膜を0.1~2μの厚さで形成した。P型でその不純物濃度は $10^{14} \sim 10^{16} \text{ cm}^{-3}$ であつて、この半導体膜を酸化珪素、酸化珪素の二重膜をマスクとした選択酸化法によりフィールド絶縁物(9)を半導体膜に選択して形成した。この際このフィールド絶縁物(9)と半導体膜とは取捨同一平面になつて、よりフィールド絶縁膜をエッチしてもよく、また酸化膜に半導体膜の一部を除去してかいてもよい。

さらにゲイト絶縁膜(12)を $100 \sim 1000 \text{ \AA}$ の

ソース、ドレインの形成が容易な厚さをかこしてしまつた。このためこの半導体膜はその厚さを0.01~0.3μの厚さに作ることがたとえてきても、実用上は役にたたなかつた。しかし本発明のように、0.01~0.3μの厚さでつても、これらの半導体デバイスを完成またはほとんど完成させた後熱処理を行なうならば、この不完全層はその再結合中心が $1/100 \sim 1/10000$ とその密度が減少し、これまでに知られている単結晶と同様に取り扱ふことができるようになつた。この熱処理は半導体基板とゲイト絶縁膜との間に存在する界面単位またはゲイト絶縁物中に存在する不対結合手を中和する効果が著しくあり、MIS-FETの作製法の向上にきわめて好ましい方法であつた。

第2図は他の本発明の実施例である。

この第2図は、ひとつOMIS-FETの上面または上方面に対して第2OMIS-FETを設け、これまでにより2~4倍の高密度の集積回路(LSI, VLSI)を製造しようとしたものである。

69

厚さに形成した。このゲイト絶縁膜は半導体膜の酸化による熱酸化膜であつても、また酸化物とリンガラス、アルミナ、窒化珪素との二重膜であつても、またこのゲイト絶縁物中にクラスまたは膜を半導体または金属で形成する不揮発性メモリとしてもよい。この後この上面に第2の半導体膜を0.1~2μの厚さに形成し選択的に除去した。この図面ではそのひとつはゲイト電極(11)他は第2OMIS-FETのソース(25)、ドレイン(24)、チャネル領域(27)とした。ゲイト電極(11)をマスクとして、第1のMIS-FETのソース(5)、ドレイン(4)をイオン注入法により形成した。もちろん熱拡散法を用いてもよい。さらに図面より明らかなようにゲイト電極(11)は図示されていないフィールド絶縁物(9)上を経て第2OMIS-FETのソース(15)に接続されている。

第2OMIS-FETは第3の半導体膜(21)を形成して後、ゲイト電極(21)とその下のゲイト絶縁物(22)とによりイオン注入または熱拡散

70

法を利用して、ドレインを形成し作成した。この図面は第1 MIS-FETの斜上方に第2 MIS-FETを設けたものである。しかしこのMIS-FETの位置、大きさをよびそれぞれの位置は設計の自由巧に定めてなされるものである。さらに図に示すように抵抗、キャパシタを同時に同一基板に作り、また保護ダイオード等リード等のダイオードを作つてもよい。

第2図面は半導体基板(1)に対し絶縁膜化によりフィールド絶縁物(2)を $0.5 \sim 2 \mu$ の厚さに形成している。加えて半導体等のゲイト電極(11)(11')を設け、ソース(4)、ドレイン(31)、ドレイン(5)を $10^4 \sim 10^6 \text{ cm}^{-2}$ の濃度でボロンまたはリンを混入させてPチャネルまたはNチャネルのMIS-FETを形成させたものである。不純物領域(31)は一方のMIS-FETのドレインであり他方のMIS-FETのソースとして作用する。またこの上層にオーバーコート用絶縁膜(10)を $0.5 \sim 2 \mu$ の厚さに形成して、この上面が平坦面であると、

44

このように作る第3 MIS-FETに対し微細加工が可能である。この後、この上面に非半導体半導体を $0.2 \sim 2 \mu$ の厚さに形成した。この不純物濃度は $10^{14} \sim 10^{16} \text{ cm}^{-3}$ でP型とし、チャネル領域(27)が動作で十分チャネルとして働くことを条件とさせた。さらにフォトマスクにより非半導体の抵抗(37)をこの第3 MIS-FETのソースに接続し、リード(38)につなげた。ドレイン(27)はキャパシタの下側電極(34)に接続した。この上面のゲイト絶縁膜はキャパシタの誘電体であり、かつ第3 MIS-FETのゲイト絶縁物である。この上面にゲイト電極(21)およびキャパシタの上側電極(34)を形成した。この実施例ではこれらはアルミニウム金属を用いた。

第3 MIS-FETの基板電極は基板バイアスが印加されるように第1 MIS-FETのゲイト電極に接続されており、ゲイト電極(11)は実質的にふたつのMIS-FETのチャネル状態を制御できるようにしてある。もちろんこのチャネル領域(27)とゲイト電極(11)との間にゲイト絶縁物が形成されるならば、第3 MIS-

45

FETは下側と上側にゲイト電極を有するダブルゲイトMIS-FETとなる。もちろん上側のゲイト電極を除去してもよい。即ち、ひとつのゲイトでふたつのMIS-FETを制御したり、またふたつのゲイトでひとつのMIS-FETを制御したりすることが本発明の特徴である。加えて、同一基板にリードのみではなく、MIS-FETのようなアクティブエレメントまたは抵抗、キャパシタさらにダイオードを設けることもできる。加えてこれら複数のエレメントを集積化するならば、第1図に示した一層のみのエレメントの形成に対し、その2~10倍の密度とすることが可能である。

第3図の図面は第1図の図面においてすでに述べた第2図の図面の説明の記載したように「非導電性」をこれらのデバイスを実現させたり、または大部分完成させた後行なうことにより半導体半導体で再結晶中心を除去することのみならず、多結晶またはアモルファス特性の半導体または絶縁物さらにまたは半導体と絶縁物との界面に

存在する界面単位を不活性気体で処理または水素等により中和できることにより改めて可能となるものである。

以上の説明においてこれら第1図、第2図の半導体装置がキャパシタ化された後酸化処理をプラズマ法で形成しオーバーコートをするのが好ましい。なぜなら酸化処理は水素、ヘリウム等の原子に対してはマスク作用を有するため一度半導体装置内に添加された水素、ヘリウム等を封じて外に出さないようにする効果があるからである。そのため外部からのナトリウム等の汚染防止に加えてA特性向上の効果が著しい。

本発明の実施例においては半導体材料としてはシリコン半導体を中心として説明した。しかしこれはゲルマニウム等であっても同様であり、GaP、GaAs、GaAlAs、SiC、BP等の化合物半導体であっても同様である。

加えて、半導体装置は単にMIS-FETに限定されることなく、バイポーラ型トランジスタまたはそれらを集積化したIIL、SIT等のIC、

46

LSIでもつても同様であり、すべての半導体装置に対して有効である。

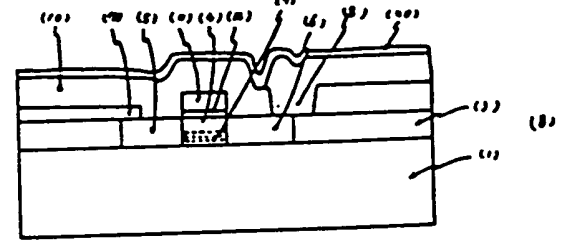
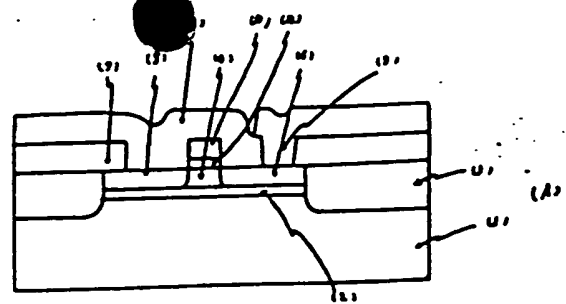
4. 図面の簡単な説明

第1図は本発明の実施例を示す縦断面図である。

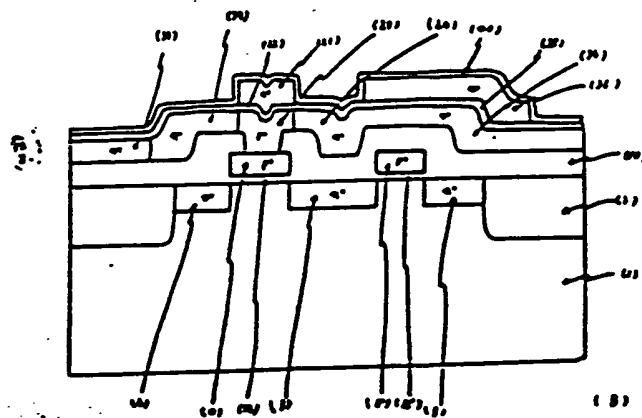
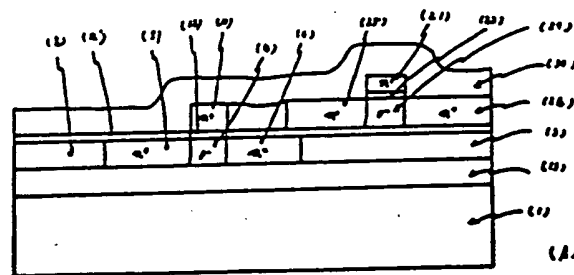
第2図は本発明の他の実施例を示す縦断面図である。

特許出願人

山崎 勇 子



第1図



第2図